

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2004年 9月30日

出願番号  
Application Number: 特願2004-287092

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

J P 2004-287092

出願人  
Applicant(s): 株式会社 リコー

2005年10月19日

特許庁長官  
Commissioner,  
Japan Patent Office.

中嶋



BEST AVAILABLE COPY

【直欄】  
【整理番号】 196440  
【提出日】 平成16年 9月30日  
【あて先】 特許庁長官殿  
【国際特許分類】 H02M 3/155  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 吉井 宏治  
【特許出願人】  
【識別番号】 000006747  
【住所又は居所】 東京都大田区中馬込1丁目3番6号  
【氏名又は名称】 株式会社リコー  
【代理人】  
【識別番号】 100086405  
【弁理士】  
【氏名又は名称】 河宮 治  
【電話番号】 06-6949-1261  
【ファクシミリ番号】 06-6949-0361  
【連絡先】 担当  
【選任した代理人】  
【識別番号】 100098280  
【弁理士】  
【氏名又は名称】 石野 正弘  
【電話番号】 06-6949-1261  
【ファクシミリ番号】 06-6949-0361  
【手数料の表示】  
【予納台帳番号】 163028  
【納付金額】 16,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9808860

【請求項 1】

入力された電圧を所定の定電圧に変換して出力端から出力するスイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行うスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端に出力する平滑回路部と、

前記出力端の電圧が所定の電圧になるように、外部から入力されたクロック信号に同期して前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

前記クロック信号が入力されているか否かの検出を行うクロック信号検出回路部と、を備え、

前記クロック信号検出回路部は、前記クロック信号の入力が停止したことを検出すると、前記制御回路部に対して、動作を停止させて消費電力を低減させるスタンバイ動作を行わせ前記スイッチングトランジスタをオフさせることを特徴とするスイッチングレギュレータ。

【請求項 2】

前記クロック信号検出回路部は、前記クロック信号が入力されていることを検出すると、前記制御回路部に対して、動作を開始させて通常動作を行わせ前記スイッチングトランジスタに対するスイッチング動作を行わせることを特徴とする請求項 1 記載のスイッチングレギュレータ。

【請求項 3】

前記クロック信号検出回路部は、

前記クロック信号の信号レベルの立ち下がりエッジ及び／又は立ち上がりエッジを検出し、該検出したエッジごとに所定のパルス幅のパルスを生成して出力するエッジ検出回路と、

あらかじめ設定された時定数でコンデンサへの充電が行われる積分回路と、

該エッジ検出回路からパルスが出力されると該コンデンサに充電された電荷の放電を行うスイッチング素子と、

前記コンデンサの端子電圧を 2 値の信号に変換して前記制御回路部の動作制御を行う制御信号を生成して出力する 2 値化回路と、

を備えることを特徴とする請求項 1 又は 2 記載のスイッチングレギュレータ。

【請求項 4】

前記積分回路は、前記スイッチング素子が前記コンデンサに充電された電荷の放電を停止してから、該コンデンサが所定の電圧まで充電されるまでの時間が、前記エッジ検出回路から出力されるパルスの間隔よりも長くなるように前記時定数が設定されることを特徴とする請求項 3 記載のスイッチングレギュレータ。

【請求項 5】

前記制御回路部は、

所定の基準電圧を生成して出力する基準電圧発生回路と、

前記出力端の電圧を検出し、該検出した電圧に比例した電圧を生成して出力する出力電圧検出回路と、

前記基準電圧と該比例電圧との電圧比較を行い、該電圧差を增幅して出力する誤差増幅回路と、

前記クロック信号に同期した所定の三角波信号を生成して出力する三角波発生回路と、

前記誤差増幅回路の出力電圧と該三角波発生回路から出力された三角波信号との電圧比較を行い、該誤差増幅回路の出力電圧に応じたパルス幅を有する PWM 制御を行うためのパルス信号を生成して出力する PWM 回路と、

該 PWM 回路からのパルス信号に応じて、前記スイッチングトランジスタのスイッチング制御を行うドライブ回路と、

を述べ、

前記クロック信号検出回路部は、前記クロック信号の入力が停止すると、前記誤差増幅回路、三角波発生回路、PWM回路及びドライブ回路に対して、各動作を停止させて消費電力を低減させるスタンバイ動作をそれぞれ行わせ前記スイッチングトランジスタをオフさせることを特徴とする請求項1、2、3又は4記載のスイッチングレギュレータ。

#### 【請求項6】

前記クロック信号検出回路部は、前記三角波発生回路から出力された信号が所定の周波数範囲の三角波信号でない場合、前記クロック信号の入力が停止したと判定することを特徴とする請求項5記載のスイッチングレギュレータ。

#### 【請求項7】

前記クロック信号検出回路部は、三角波発生回路へ前記クロック信号が入力された否かの検出を行い、前記クロック信号の入力が停止したと判定した後、三角波発生回路への前記クロック信号の入力を検出すると、前記制御回路に対して、動作を開始させて通常動作を行わせ前記スイッチングトランジスタに対するスイッチング動作を行わせることを特徴とする請求項6記載のスイッチングレギュレータ。

#### 【請求項8】

前記三角波発生回路は、

前記三角波信号の波形整形を行って矩形波に変換し出力する波形整形回路と、

前記クロック信号と該波形整形回路の出力信号との位相を比較し、該比較結果に応じた電圧を出力する位相比較器と、

該位相比較器の出力電圧を平滑して出力するフィルタ回路と、

該フィルタ回路から出力された電圧に応じた周波数の前記三角波信号を生成して出力する三角波発振器と、

を備えたPLL回路で構成され、

前記クロック信号検出回路部は、前記クロック信号の入力が停止すると前記波形整形回路、位相比較器及び三角波発振器に対して各動作を停止させることを特徴とする請求項5、6又は7記載のスイッチングレギュレータ。

#### 【請求項9】

前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、制御回路部及びクロック信号検出回路部は、1つのICに集積されることを特徴とする請求項1、2、3、4、5、6、7又は8記載のスイッチングレギュレータ。

#### 【請求項10】

前記スイッチングトランジスタ、制御回路部及びクロック信号検出回路部は、1つのICに集積されることを特徴とする請求項1、2、3、4、5、6、7又は8記載のスイッチングレギュレータ。

#### 【請求項11】

前記ICは、前記所定の定電圧に変換するための前記入力電圧をなす正側電源電圧が印加される第1電源端子と、負側電源電圧が印加される第2電源端子と、前記スイッチングトランジスタからパルス信号が出力されるパルス出力端子と、前記出力端子から出力された電圧が入力される出力電圧入力端子と、前記クロック信号が入力されるクロック信号入力端子とを備えることを特徴とする請求項9又は10記載のスイッチングレギュレータ。

## 【技術分野】

## 【0001】

本発明は、クロック信号の入力が停止すると所定のスタンバイ動作を行って消費電力の低減を図るスイッチングレギュレータに関する。

## 【背景技術】

## 【0002】

携帯電話に代表されるように、近年、小型の携帯機器が広く普及しており、このような小型携帯機器の電源には小型の2次電池が使用されている。該2次電池の小型化と共に、使用できる時間をできるだけ長くするために、2次電池の高性能化と機器の省電力化が図られている。

このような小型携帯機器に使用される電源回路は、効率向上を図るために主にスイッチングレギュレータが採用され、機器が待機状態になった場合は、該電源回路においても消費電力の小さいスタンバイ動作に移行する等して、機器の消費電力の低減を図ってきた。

## 【0003】

図10は、従来のスイッチングレギュレータの回路例を示した図であり、このような回路を使用したものとして、例えばリニア テクノロジイ コーポレーション (Linear Technology Corporation) 製の電源用ICである LTC1878がある。

図10におけるスイッチングレギュレータ100は、直流電源110からの電源電圧V<sub>dd</sub>から所定の定電圧を生成して負荷111に出力する。

スイッチングレギュレータ100は、電源電圧V<sub>dd</sub>の出力制御を行なうスイッチングトランジスタM<sub>a</sub>と、同期整流用トランジスタM<sub>b</sub>と、平滑用のインダクタL<sub>a</sub>及びコンデンサC<sub>a</sub>と、負荷111に出力される電圧V<sub>o</sub>を分圧して分圧電圧V<sub>da</sub>を生成し出力する出力電圧検出用の抵抗R<sub>a</sub>, R<sub>b</sub>とを備えている。

## 【0004】

また、スイッチングレギュレータ100は、所定の基準電圧V<sub>r</sub>を生成して出力する基準電圧発生回路102と、前記分圧電圧V<sub>da</sub>と該基準電圧V<sub>r</sub>との電圧比較を行い、該電圧差を増幅して出力する誤差増幅回路103と、外部から入力されたクロック信号に同期した所定の周波数の三角波信号を生成して出力する三角波発生回路104とを備えている。更に、スイッチングレギュレータ100は、誤差増幅回路103の出力電圧と三角波発生回路104からの三角波信号TWよりPWM制御を行うためのパルス信号を生成して出力するPWM回路105と、該PWM回路105からのパルス信号に応じて、スイッチングトランジスタM<sub>a</sub>のスイッチング制御を行うための制御信号PDと同期整流用トランジスタM<sub>b</sub>のスイッチング制御を行うための制御信号NDをそれぞれ生成してスイッチングトランジスタM<sub>a</sub>及び同期整流用トランジスタM<sub>b</sub>をそれぞれ駆動するドライブ回路106とを備えている。

## 【0005】

スイッチングレギュレータ100において、インダクタL<sub>a</sub>とコンデンサC<sub>a</sub>を除く各部は、1つのICに集積されており、該ICは、TV<sub>dd</sub>端子、GND端子、TCLK端子、TSTB端子、FB端子及びLX端子を有している。TCLK端子には、CPU等からなる外部の制御回路(図示せず)からクロック信号CLKが入力され、三角波発生回路104は、該クロック信号CLKに同期した三角波信号を生成して出力する。また、TSTB端子には、前記制御回路からのスタンバイ信号STBが入力され、該スタンバイ信号STBは、誤差増幅回路103、三角波発生回路104、PWM回路105及びドライブ回路106にそれぞれ入力されている。スタンバイ信号STBがアサートされると、誤差増幅回路103、三角波発生回路104、PWM回路105及びドライブ回路106はそれぞれ動作を停止し、スイッチングトランジスタM<sub>a</sub>及び同期整流用トランジスタM<sub>b</sub>はそれぞれオフする。

## 【0006】

一方、小生に凹むために、電極凹面を上にしているだけ小生ソノハノノーンに外れるようによることから、該 I C の端子数を少なくすることが重要になる。このため 1 つの I C 端子に複数の機能を割り当て、端子数を少なくすることが考えられる。

図 11 は、このようにしたスイッチングレギュレータの例を示した図である（例えば、特許文献 1 参照。）。

図 11において、スイッチングレギュレータ用 I C 120 の Vc 端子は、外付けの抵抗 R10 とコンデンサ C10 を介して接地されている。また、エミッタが接地された NPN トランジスタ Q1 のコレクタが、抵抗 R10 とコンデンサ C10 との接続部に接続されている。

### 【0007】

Vc 端子は I C 120 内部で誤差増幅回路の出力に接続され、外付けされた抵抗 R10 とコンデンサ C10 により位相補償を行っている。また、このコンデンサ C10 を I C 120 内部に設けた定電流源で充電することでソフトスタート機能も実現している。更に、NPN トランジスタ Q1 を導通させる等して、Vc 端子の電圧を低下させると、I C 120 に内蔵された回路により、I C 120 を休止状態にして消費電力を低減させる。このように、1 つの端子 Vc を使用して、位相補償、ソフトスタート及び休止という 3 つの動作の切り替えを行うことができるようにして I C 端子の増加を抑えている。

【特許文献 1】特開平 9-121535 号公報

### 【発明の開示】

#### 【発明が解決しようとする課題】

### 【0008】

しかし、図 10 及び図 11 では、消費電力の低減を図るためにスイッチングレギュレータの動作を停止させるには、このような動作を実行させるための制御信号を生成する外部回路が必要であり、該外部回路が I C で形成されている場合、該制御信号を出力ための端子が必要であった。更に、図 10 では、該外部からの制御信号を入力するための端子が必要であった。I C の端子数は使用する I C パッケージによって決まり、必要な I C の端子数が 1 本でも使用予定のパッケージの端子数を上回れば、更に大きく、高価なパッケージを使用しなければならなくなる。また、使用する I C パッケージに使用していない余分な端子があれば、その端子に更に別の機能を追加することができ、I C の価値を高めることができるため、I C の端子数を減らすことは非常に重要な課題であった。

### 【0009】

本発明は、上記のような問題を解決するためになされたものであり、スイッチングレギュレータの動作に必要な外部からのクロック信号の有無に応じてスタンバイ動作に移行させてるようにして、スイッチングレギュレータをスタンバイ動作に移行させるための専用 I C 端子をなくすことができるスイッチングレギュレータを得ることを目的とする。

### 【課題を解決するための手段】

### 【0010】

この発明に係るスイッチングレギュレータは、入力された電圧を所定の定電圧に変換して出力端から出力するスイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングし、前記入力電圧の出力制御を行うスイッチングトランジスタと、

該スイッチングトランジスタから出力された電圧を平滑して前記出力端に出力する平滑回路部と、

前記出力端の電圧が所定の電圧になるように、外部から入力されたクロック信号に同期して前記スイッチングトランジスタに対するスイッチング制御を行う制御回路部と、

前記クロック信号が入力されているか否かの検出を行うクロック信号検出回路部と、を備え、

前記クロック信号検出回路部は、前記クロック信号の入力が停止したことを検出すると、前記制御回路部に対して、動作を停止させて消費電力を低減させるスタンバイ動作を行わせ、前記スイッチングトランジスタをオフさせるものである。

また、前記クロック信号検出回路部は、前記クロック信号が入力されていることを検出すると、前記制御回路部に対して、動作を開始させて通常動作を行わせ前記スイッチングトランジスタに対するスイッチング動作を行わせるようにした。

#### 【0012】

具体的には、前記クロック信号検出回路部は、

前記クロック信号の信号レベルの立ち下がりエッジ及び／又は立ち上がりエッジを検出し、該検出したエッジごとに所定のパルス幅のパルスを生成して出力するエッジ検出回路と、

あらかじめ設定された時定数でコンデンサへの充電が行われる積分回路と、

該エッジ検出回路からパルスが出力されると該コンデンサに充電された電荷の放電を行うスイッチング素子と、

前記コンデンサの端子電圧を2値の信号に変換して前記制御回路部の動作制御を行う制御信号を生成して出力する2値化回路と、

を備えるようにした。

#### 【0013】

また、前記積分回路は、前記スイッチング素子が前記コンデンサに充電された電荷の放電を停止してから、該コンデンサが所定の電圧まで充電されるまでの時間が、前記エッジ検出回路から出力されるパルスの間隔よりも長くなるように前記時定数が設定されるようにした。

#### 【0014】

具体的には、前記制御回路部は、

所定の基準電圧を生成して出力する基準電圧発生回路と、

前記出力端の電圧を検出し、該検出した電圧に比例した電圧を生成して出力する出力電圧検出回路と、

前記基準電圧と該比例電圧との電圧比較を行い、該電圧差を增幅して出力する誤差增幅回路と、

前記クロック信号に同期した所定の三角波信号を生成して出力する三角波発生回路と、

前記誤差增幅回路の出力電圧と該三角波発生回路から出力された三角波信号との電圧比較を行い、該誤差增幅回路の出力電圧に応じたパルス幅を有するPWM制御を行うためのパルス信号を生成して出力するPWM回路と、

該PWM回路からのパルス信号に応じて、前記スイッチングトランジスタのスイッチング制御を行うドライブ回路と、

を備え、

前記クロック信号検出回路部は、前記クロック信号の入力が停止すると、前記誤差增幅回路、三角波発生回路、PWM回路及びドライブ回路に対して、各動作を停止させて消費電力を低減させるスタンバイ動作をそれぞれ行わせ前記スイッチングトランジスタをオフさせるようにした。

#### 【0015】

一方、前記クロック信号検出回路部は、前記三角波発生回路から出力された信号が所定の周波数範囲の三角波信号でない場合、前記クロック信号の入力が停止したと判定するよにしてもよい。

#### 【0016】

この場合、前記クロック信号検出回路部は、三角波発生回路へ前記クロック信号が入力された否かの検出を行い、前記クロック信号の入力が停止したと判定した後、三角波発生回路への前記クロック信号の入力を検出すると、前記制御回路に対して、動作を開始させて通常動作を行わせ前記スイッチングトランジスタに対するスイッチング動作を行わせるようにした。

#### 【0017】

この場合、前記三角波発生回路は、

前記二つの波形整形回路で1つヒルトヒルトに伏せ山ノリの波形整形回路とし、前記クロック信号と該波形整形回路の出力信号との位相を比較し、該比較結果に応じた電圧を出力する位相比較器と、

該位相比較器の出力電圧を平滑して出力するフィルタ回路と、

該フィルタ回路から出力された電圧に応じた周波数の前記三角波信号を生成して出力する三角波発振器と、

を備えたPLL回路で構成され、

前記クロック信号検出回路部は、前記クロック信号の入力が停止すると、前記波形整形回路、位相比較器及び三角波発振器に対して各動作を停止させるようとする。

#### 【0018】

また、前記平滑回路部は、前記スイッチングトランジスタと直列に接続され、前記制御回路部によってスイッチング制御される同期整流用トランジスタを備え、前記スイッチングトランジスタ、該同期整流用トランジスタ、制御回路部及びクロック信号検出回路部は、1つのICに集積されるようにしてもよい。

#### 【0019】

また、前記スイッチングトランジスタ、制御回路部及びクロック信号検出回路部は、1つのICに集積されるようにしてもよい。

#### 【0020】

これらの場合、前記ICは、前記所定の定電圧に変換するための前記入力電圧をなす正側電源電圧が印加される第1電源端子と、負側電源電圧が印加される第2電源端子と、前記スイッチングトランジスタからパルス信号が出力されるパルス出力端子と、前記出力端子から出力された電圧が入力される出力電圧入力端子と、前記クロック信号が入力されるクロック信号入力端子とを備えるようにした。

#### 【発明の効果】

#### 【0021】

本発明のスイッチングレギュレータによれば、前記クロック信号の入力が停止したことを検出すると前記制御回路部の動作を停止させて消費電力を低減させるスタンバイ動作を行わせ、前記スイッチングトランジスタをオフさせるクロック信号検出回路部を備えた。このことから、スイッチングレギュレータを形成するICにおいて、従来単独のIC端子として必要であった外部からのスタンバイ信号が入力されるIC端子が不要になると共に、該スタンバイ信号を生成する外部の制御回路がICで形成されている場合に、該ICのスタンバイ信号を出力する端子が不要になり、ICパッケージの端子を節約することができる。該IC端子の節約によって、新たに使えるIC端子が増えた場合、該ICに更なる機能の追加が可能になり、IC端子を節約できたことによって、更に安価で小型のICパッケージが使用できるようになる可能性を得ることができる。

#### 【発明を実施するための最良の形態】

#### 【0022】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

#### 第1の実施の形態。

図1は、本発明の第1の実施の形態におけるスイッチングレギュレータの構成例を示した図である。

図1において、スイッチングレギュレータ1は、直流電源10から入力された電源電圧Vddを所定の定電圧に変換して出力端OUTに接続された負荷11に出力する。

#### 【0023】

スイッチングレギュレータ1は、TVdd端子に入力された入力電圧Vddの出力制御を行うPMOSトランジスタからなるスイッチングトランジスタM1と、NMOSトランジスタからなる同期整流用トランジスタM2と、平滑用のインダクタL1及びコンデンサC1と、出力端OUTから出力される電圧Voを分圧して分圧電圧Vd1を生成し出力する出力電圧検出用の抵抗R1, R2とを備えている。また、スイッチングレギュレータ1は、所定の基準電圧Vr1を生成して出力する基準電圧発生回路2と、前記分圧電圧Vd

1と誤差半電圧V<sub>1</sub>と半電圧比較で11V、誤電圧左を増幅して電圧V<sub>2</sub>を生成し山川する誤差增幅回路3と、外部の制御回路12から入力されたクロック信号CLKに同期した所定の三角波信号TWを生成し出力する三角波発生回路4とを備えている。

#### 【0024】

また、スイッチングレギュレータ1は、誤差增幅回路3の出力電圧Verと三角波発生回路4からの三角波信号TWとの電圧比較を行い、出力電圧Verに応じたパルス幅を有するPWM制御を行うためのパルス信号SPWを生成して出力するPWM回路5と、該PWM回路5からのパルス信号SPWに応じて、スイッチングトランジスタM1のスイッチング制御を行うための制御信号PDと同期整流用トランジスタM2のスイッチング制御を行うための制御信号NDをそれぞれ生成してスイッチングトランジスタM1及び同期整流用トランジスタM2をそれぞれ駆動するドライブ回路6とを備えている。

#### 【0025】

更に、スイッチングレギュレータ1は、前記クロック信号CLKが入力されているか否かに応じて誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6の動作制御を行うクロックパルス検出回路7を備えている。スイッチングレギュレータ1では、インダクタL1とコンデンサC1を除く各部は、1つのIC13に集積されている。該IC13は、正側電源電圧である電源電圧Vddが入力されるTVdd端子と、負側電源電圧である接地電圧に接続されたGND端子と、クロック信号CLKが入力されるTCLK端子と、LX端子と、FB端子とを備えている。

#### 【0026】

なお、基準電圧発生回路2、誤差增幅回路3、三角波発生回路4及びPWM回路5、ドライブ回路6及び抵抗R1、R2は制御回路部をなし、同期整流用トランジスタM2、インダクタL1及びコンデンサC1は平滑回路部をなす。また、クロックパルス検出回路7はクロック信号検出回路部をなし、抵抗R1及びR2は出力電圧検出回路をなす。また、TVdd端子は第1電源端子を、GND端子は第2電源端子を、TCLK端子はクロック信号入力端子を、LX端子はパルス出力端子を、FB端子は出力電圧入力端子をそれぞれなす。

#### 【0027】

TVdd端子とGND端子との間には直流電源10が接続され、TVdd端子と接地電圧との間には、スイッチングトランジスタM1と同期整流用トランジスタM2が直列に接続され、スイッチングトランジスタM1と同期整流用トランジスタM2との接続部はLX端子に接続されている。LX端子と出力端OUTとの間にはインダクタL1が接続され、出力端OUTと接地電圧との間には、コンデンサC1が接続されると共に、FB端子を介して抵抗R1と抵抗R2の直列回路が接続されている。抵抗R1と抵抗R2との接続部は、誤差增幅回路3の反転入力端に接続され、誤差增幅回路3の非反転入力端には基準電圧Vr1が入力されている。

#### 【0028】

誤差增幅回路3の出力電圧Verは、PWM回路5をなすコンバーティの反転入力端に出力され、三角波発生回路4からの三角波信号TWは、PWM回路5をなすコンバーティの非反転入力端に出力される。PWM回路5からのパルス信号SPWはドライブ回路6に出力される。ドライブ回路6は、スイッチングトランジスタM1のスイッチング制御を行うための制御信号PDをスイッチングトランジスタM1のゲートに出力し、同期整流用トランジスタM2のスイッチング制御を行うための制御信号NDを同期整流用トランジスタM2のゲートに出力する。また、クロックパルス検出回路7は、クロック信号CLKが入力されているか否かに応じてアサートするスタンバイ信号STBを、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6にそれぞれ出力する。

#### 【0029】

このような構成において、スイッチングトランジスタM1がスイッチング動作を行い、スイッチングトランジスタM1がオンしたときに、インダクタL1に電流が供給される。このとき、同期整流用トランジスタM2はオフしている。スイッチングトランジスタM1

ノイズのときに、同期整流用トランジスタM2を通して放出される。このとき発生した電流は、コンデンサC1で平滑されて出力端OUTから負荷L1に出力される。また、出力端OUTから出力される出力電圧Voは、出力電圧検出用の抵抗R1とR2で分圧され、該分圧電圧Vd1が誤差增幅回路3の反転入力端に入力されている。

#### 【0030】

スイッチングレギュレータ1の出力電圧Voが大きくなると、誤差增幅回路3の出力電圧Verが低下し、PWM回路5からのパルス信号Spwのデューティサイクルは小さくなる。その結果、スイッチングトランジスタM1がオンする時間が短くなり、スイッチングレギュレータ1の出力電圧Voが低下するように制御される。スイッチングレギュレータ1の出力電圧Voが小さくなると、前記と逆の動作を行い、結果としてスイッチングレギュレータ1の出力電圧Voが一定になるように制御される。

#### 【0031】

ここで、クロックパルス検出回路7は、TCLK端子を介して三角波発生回路4に制御回路12からのクロック信号CLKが入力されなくなる、すなわちTCLK端子がハイレベル又はローレベルで固定されている場合は、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6にそれぞれ出力しているスタンバイ信号STBをアサートする。スタンバイ信号STBがアサートされると、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6はそれぞれ動作を停止し、スイッチングトランジスタM1と同期整流用トランジスタM2が共にオフして、IC13は低消費電力動作モードであるスタンバイ動作になる。

#### 【0032】

クロックパルス検出回路7は、TCLK端子を介して三角波発生回路4に制御回路12からのクロック信号CLKが入力されている、すなわちTCLK端子のレベルが所定の周期でハイレベルとローレベルを繰り返している間は、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6にそれぞれ出力しているスタンバイ信号STBをネゲートする。スタンバイ信号STBがネゲートされると、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6はそれぞれ作動し、スイッチングトランジスタM1と同期整流用トランジスタM2は、ゲートに入力される信号に応じてスイッチングを行い、IC13は通常動作状態になる。

#### 【0033】

次に、図2は、クロックパルス検出回路7の回路例を示した図である。

図2において、クロックパルス検出回路7は、クロック信号CLKの立ち上がりエッジを検出するエッジ検出回路20と、NMOSトランジスタM3と、コンデンサC2と、電流i1の供給を行う電流源21と、インバータ22とで構成されている。また、エッジ検出回路20は、インバータ23～26及びNAND回路27で構成されている。なお、電流源21及びコンデンサC2は積分回路をなし、NMOSトランジスタM3はスイッチング素子を、インバータ22は2箇化回路にてなぞれなす。NAND回路27の一方の入力端はTCLK端子に接続され、TCLK端子とNAND回路27の他方の入力端との間にインバータ23～25が直列に接続されている。

#### 【0034】

また、NAND回路27の出力端とNMOSトランジスタM3のゲートとの間にはインバータ26が接続されている。一方、電源電圧Vddと接地電圧との間には、電流源21とコンデンサC2が直列に接続され、コンデンサC2と並列にNMOSトランジスタM3が接続されている。電流源21とコンデンサC2との接続部には、インバータ22の入力端が接続され、インバータ22の出力端からスタンバイ信号STBが出力される。インバータ25の出力端とNAND回路27の一方の入力端との接続部をAとし、NAND回路27の出力端とインバータ26の入力端との接続部をBとする。更に、インバータ26の出力端とNMOSトランジスタM3のゲートとの接続部をCとし、電流源21とコンデンサC2との接続部をDとする。

このような構成において、図3は、図2の回路の動作例を示したタイミングチャートであり、図3を用いてクロックパルス検出回路7の動作について説明する。

A点の波形は、クロック信号CLKの信号レベルが反転した波形であり、インバータ23～25による遅延が生じている。このため、クロック信号CLKが立ち上がるときだけ、NAND回路27の両入力端はインバータ23～25による遅延時間だけ共にハイレベルになる。このことから、B点の波形、すなわちNAND回路27の出力信号は、クロック信号CLKの立ち上がり時にインバータ23～25による遅延時間に相当する時間ローレベルになる。NAND回路27の出力信号は、インバータ26で信号レベルが反転され、NMOSトランジスタM3のゲートに入力される。

#### 【0036】

コンデンサC2の端子電圧、すなわちD点の電圧は、NMOSトランジスタM3がオンしているときはほぼ接地電圧であるが、NMOSトランジスタM3がオフすると上昇する。ただし、D点の電圧が、クロック信号CLKにおける次の立ち上がりまでに、インバータ22のしきい値電圧Vthに達しなければ、インバータ22の出力端はハイレベルを保つことから、スタンバイ信号STBはアサートされない。すなわち、D点の電圧がインバータ22のしきい値電圧VthになるまでコンデンサC2が充電される時間を、エッジ検出回路20がクロック信号CLKの立ち上がりエッジを検出する間隔よりも少し長い時間に設定することにより、クロック信号CLKが入力されている間はスタンバイ動作に移行することなく、しかも、クロック信号CLKのクロックパルスが消滅すると直ちにスタンバイ動作に移行するようにすることができる。

#### 【0037】

クロック信号CLKが入力されず、TCLK端子がハイレベル又はローレベルに固定された状態のままでは、エッジ検出回路20の出力端をなすインバータ26の出力端はローレベルになり、NMOSトランジスタM3はオフする。このため、D点の電圧は、インバータ22のしきい値電圧Vthを超えるまで上昇する。D点の電圧がインバータ22のしきい値電圧を超えると、インバータ22の出力信号の信号レベルが反転してローレベルになり、スタンバイ信号STBがアサートされる。また、TCLK端子にクロック信号CLKが入力されるとスタンバイ信号STBがネゲートされる。

#### 【0038】

ここで、図2のエッジ検出回路20ではNMOSトランジスタM3をオンさせる時間が短い場合、3個のインバータ23～25で構成している遅延回路のインバータの数を増やしてもよいし、図4に示すように、インバータ23の出力端と接地電圧との間にコンデンサC3を接続して遅延時間が長くなるようにしてもよい。ただし、インバータの数を増やす場合は、必ずインバータの数が奇数になるようにする。

また、クロック信号CLKの立ち下がりのエッジを検出するには、図5で示すように、図2のエッジ検出回路20におけるインバータ26とNAND回路27をNOR回路31に置き換えればよく、クロック信号CLKの立ち上がりと立ち下がりの両エッジを検出するには、図6で示すように、図2のエッジ検出回路20におけるNAND回路27をEXOR（エクスクルーシブオア）回路32に置き換えればよい。なお、図2において、電流源21を抵抗に置き換えてもよく、インバータ22を、一方の入力端に基準電圧が入力されたコンパレータに置き換えてもよい。

#### 【0039】

次に、図7は、三角波発生回路4の内部構成例を示したブロック図であり、図7ではPLL回路を使用した場合を例にして示している。

図7において、三角波発生回路4は、入力された2つの信号の位相及び周波数をそれぞれ比較し、該比較結果に応じて出力する電圧を上昇又は低下させる位相周波数比較器41と、該位相周波数比較器41の出力電圧を平滑して出力するループフィルタ42と、ループフィルタ42から入力される電圧に応じた周波数の三角波信号TWを生成して出力する三角波発振器43と、三角波発振器43から出力された三角波信号TWの波形整形を行っ

#### 【0040】

位相周波数比較器41は、入力されたクロック信号CLKと波形整形回路44から入力された矩形波信号との位相及び周波数をそれぞれ比較し、該比較結果に応じて出力する電圧を上昇又は低下させる。また、位相周波数比較器41、三角波発振器43及び波形整形回路44には、クロックパルス検出回路7からのスタンバイ信号STBが入力されており、位相周波数比較器41、三角波発振器43及び波形整形回路44は、スタンバイ信号STBがアサートされるとそれぞれ動作を停止し、スタンバイ信号STBがネゲートされるとそれを作動する。このようにして、三角波発生回路4は、スタンバイ信号STBがアサートされると動作を停止する。

#### 【0041】

なお、制御電極に入力されるスタンバイ信号に応じて、位相周波数比較器41、ループフィルタ42、三角波発振器43及び波形整形回路44への電源電圧Vddの供給を行うスイッチを設け、スタンバイ信号STBがアサートされると該スイッチによって位相周波数比較器41、ループフィルタ42、三角波発振器43及び波形整形回路44への電源電圧Vddの供給が遮断され、スタンバイ信号STBがネゲートされると該スイッチによって位相周波数比較器41、ループフィルタ42、三角波発振器43及び波形整形回路44への電源電圧Vddの供給が行われるようにもよい。

#### 【0042】

また、図1では、同期整流用トランジスタM2を使用した場合を例にして説明したが、図8で示すように、同期整流用トランジスタM2の代わりにフライホイールダイオードD1を使用してもよい。この場合、ダイオードD1がショットキーバリアダイオード等であってIC13に集積することが容易でない場合は、IC13のLX端子と接地電圧との間にダイオードD1が外付けされる。言うまでもなく、ダイオードD1がIC13に集積することが容易である場合は、IC13内に形成される。

#### 【0043】

このように、本第1の実施の形態におけるスイッチングレギュレータは、クロックパルス検出回路7によって、TCLK端子にクロック信号CLKが入力されているか否かを検出し、クロック信号CLKが入力されていない場合、スタンバイ信号STBをアサートして低消費電力動作を行なうスタンバイ動作を行い、クロック信号CLKが入力されると、スタンバイ信号STBをネゲートして通常動作を行なうようにした。このことから、外部からのクロック信号CLKの有無に応じてスイッチングレギュレータ内部でスタンバイ信号STBを生成するようにしたことから、従来単独の端子として必要であったスタンバイ信号の入力端子が不要となり、必要とするICパッケージの端子数を少なくすることができ、安価で小型のICパッケージを使用することができる。また、従来、外部のCPU等を使用してスタンバイ信号を生成していたが、このような外部回路のIC端子数を少なくすることができ、外部回路を形成するICに、安価で小型のICパッケージを使用することができる。

#### 【0044】

第2の実施の形態。

前記第1の実施の形態では、クロックパルス検出回路7は、TCLK端子から入力されるクロック信号CLKの有無に応じてスタンバイ信号STBを生成するようにしたが、三角波発生回路4から所定の三角波信号TWが出力されているか否かに応じてスタンバイ信号STBをアサートするようにしてもよく、このようにしたものと本発明の第2の実施の形態とする。

図9は、本発明の第2の実施の形態におけるスイッチングレギュレータの構成例を示した図である。なお、図9では、図1と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図1との相違点のみ説明する。

#### 【0045】

図9における図1との相違点は、図1のクロックパルス検出回路7が三角波発生回路4

バイ信号STBをアサートし、スタンバイ信号STBをアサートした後、クロック信号CLKが入力されたことを検出するとスタンバイ信号STBをネゲートするようにしたことにより、図1のクロックパルス検出回路7をクロックパルス検出回路51にし、これに伴って図1のスイッチングレギュレータ1をスイッチングレギュレータ50にした。なお、クロックパルス検出回路51はクロック信号検出回路部をなす。

#### 【0046】

図9において、スイッチングレギュレータ50は、スイッチングトランジスタM1と、同期整流用トランジスタM2と、インダクタL1と、コンデンサC1と、抵抗R1, R2と、基準電圧発生回路2と、誤差增幅回路3と、三角波発生回路4と、PWM回路5と、ドライブ回路6と、三角波発生回路4から所定範囲の周波数の三角波信号TWが出力されているか否かに応じて誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6の動作制御を行なうクロックパルス検出回路51とを備えている。スイッチングレギュレータ50において、インダクタL1とコンデンサC1を除く各部は、1つのIC52に集積されている。

#### 【0047】

クロックパルス検出回路51は、三角波発生回路4からの三角波信号TW、及びTCLK端子を介して制御回路12からのクロック信号CLKがそれぞれ入力されている。クロックパルス検出回路51は、三角波発生回路4から所定範囲の周波数の三角波信号TWが出力されている間は、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6にそれぞれ出力しているスタンバイ信号STBをネゲートする。

また、クロックパルス検出回路51は、三角波発生回路4から所定範囲の周波数の三角波信号TWが出力されなくなると、誤差增幅回路3、三角波発生回路4、PWM回路5及びドライブ回路6にそれぞれ出力しているスタンバイ信号STBをアサートする。

#### 【0048】

更に、クロックパルス検出回路51は、スタンバイ信号STBをアサートした後、クロック信号CLKが入力されたことを検出するとスタンバイ信号STBをネゲートする。

なお、前記説明では、クロックパルス検出回路51は、三角波発生回路4の出力信号からクロック信号CLKの入力が停止したことを検出するようにしたが、三角波発生回路4を構成する位相周波数比較器41の出力電圧、又はループフィルタ42の出力電圧からクロック信号CLKの入力が停止したことを検出するようにしてもよい。

#### 【0049】

このように、本第2の実施の形態におけるスイッチングレギュレータは、クロックパルス検出回路51によって、三角波発生回路4から出力された信号が所定の周波数範囲の三角波信号であるか否かに応じてスタンバイ信号STBをアサートし、スタンバイ信号STBをアサートした後、クロック信号CLKが入力されたことを検出するとスタンバイ信号STBをネゲートするようにした。このことから、前記第1の実施の形態と同様の効果を得ることができると共に、三角波発生回路4の故障を検出することができ、三角波発生回路4の故障を検出すると負荷11への定電圧の供給を停止させることができ、信頼性の向上を図ることができる。

#### 【図面の簡単な説明】

#### 【0050】

【図1】本発明の第1の実施の形態におけるスイッチングレギュレータの構成例を示した図である。

【図2】図1のクロックパルス検出回路7の回路例を示した図である。

【図3】図2の回路の動作例を示したタイミングチャートである。

【図4】図2のエッジ検出回路20の他の回路例を示した図である。

【図5】図2のエッジ検出回路20の他の回路例を示した図である。

【図6】図2のエッジ検出回路20の他の回路例を示した図である。

【図7】図1の三角波発生回路4の内部構成例を示したブロック図である。

【図8】半光沢リボン大蛇形端子におけるヘリシングノレーティング回路の構成例を示した図である。

【図9】本発明の第2の実施の形態におけるスイッチングレギュレータの構成例を示した図である。

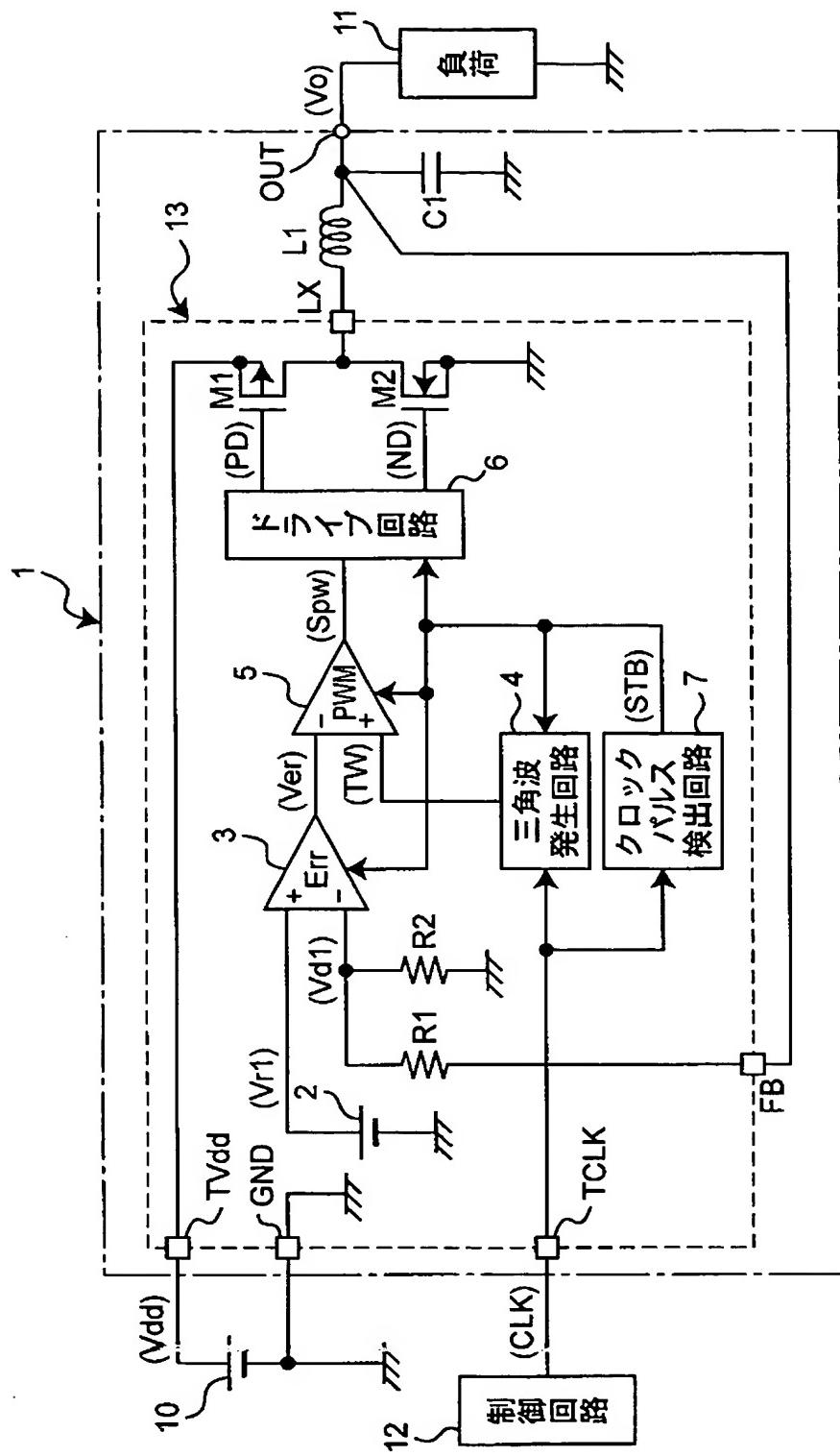
【図10】従来のスイッチングレギュレータの回路例を示した図である。

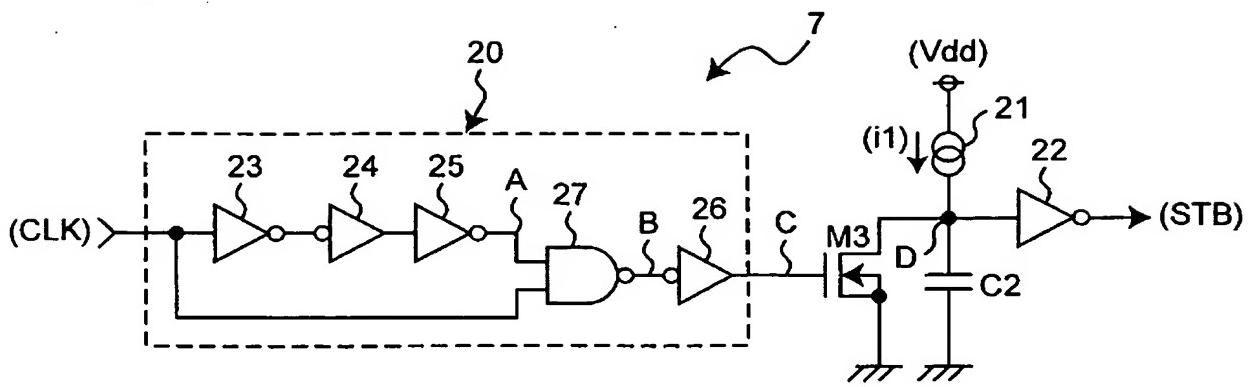
【図11】従来のスイッチングレギュレータの他の回路例を示した図である。

#### 【符号の説明】

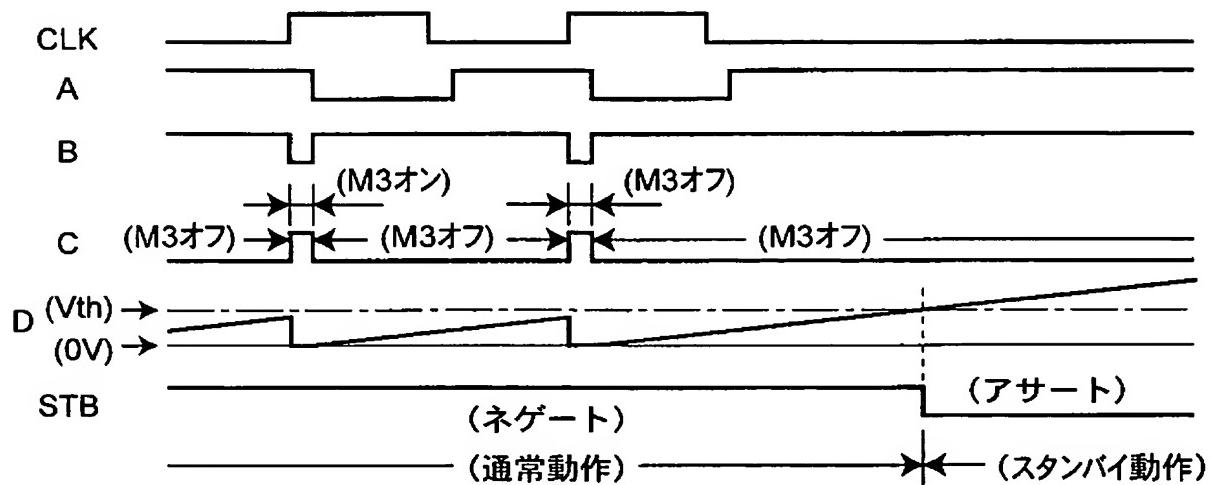
##### 【0051】

- 1, 50 スイッチングレギュレータ
- 2 基準電圧発生回路
- 3 誤差増幅回路
- 4 三角波発生回路
- 5 PWM回路
- 6 ドライブ回路
- 7, 51 クロックパルス検出回路
- 10 直流電源
- 11 負荷
- 12 制御回路
- 13, 52 I C
- 20 エッジ検出回路
- 21 電流源
- 22 インバータ
- 41 位相周波数比較器
- 42 ループフィルタ
- 43 三角波発振器
- 44 波形整形回路
- M1 スイッチングトランジスタ
- M2 同期整流用トランジスタ
- M3 NMOSトランジスタ
- L1 インダクタ
- C1, C2 コンデンサ
- R1, R2 抵抗
- D1 ダイオード

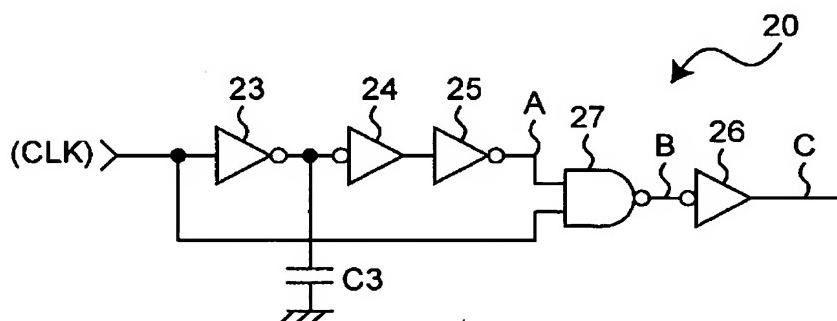




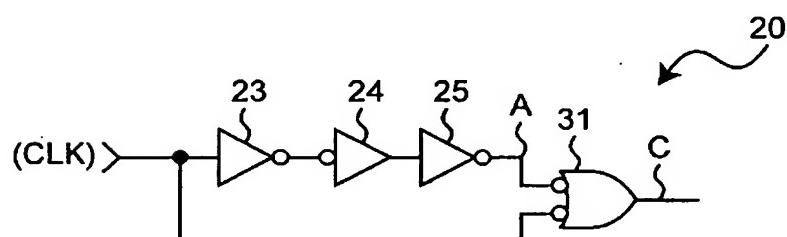
【図 3】

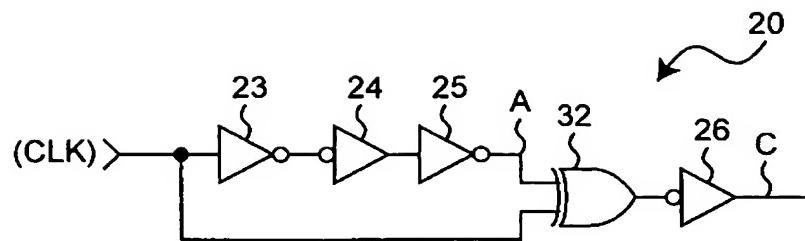


【図 4】

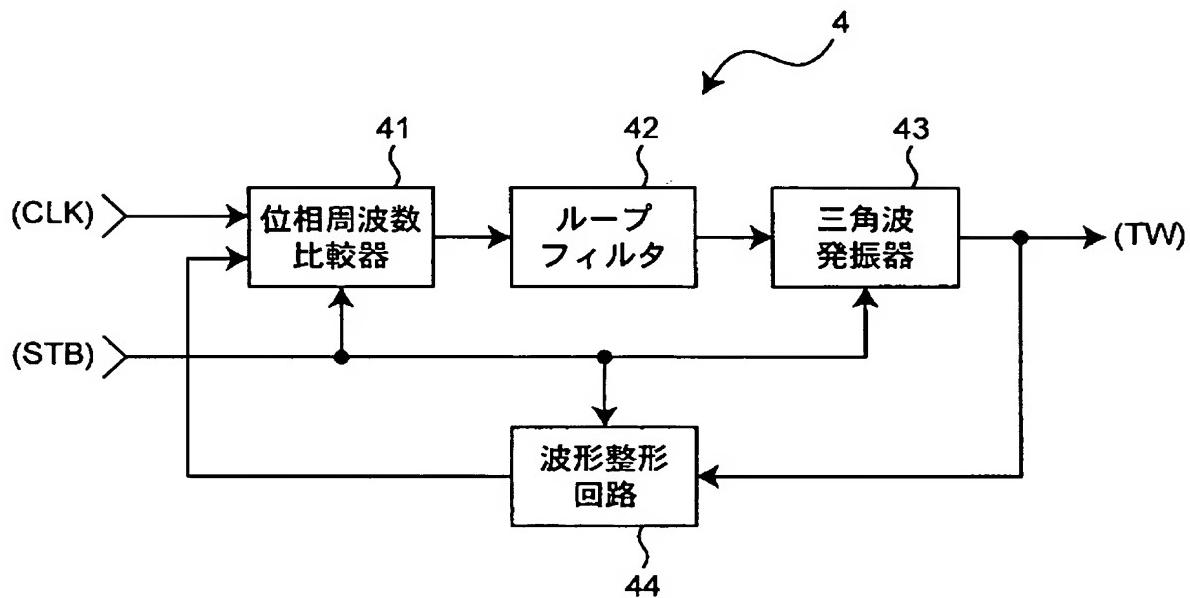


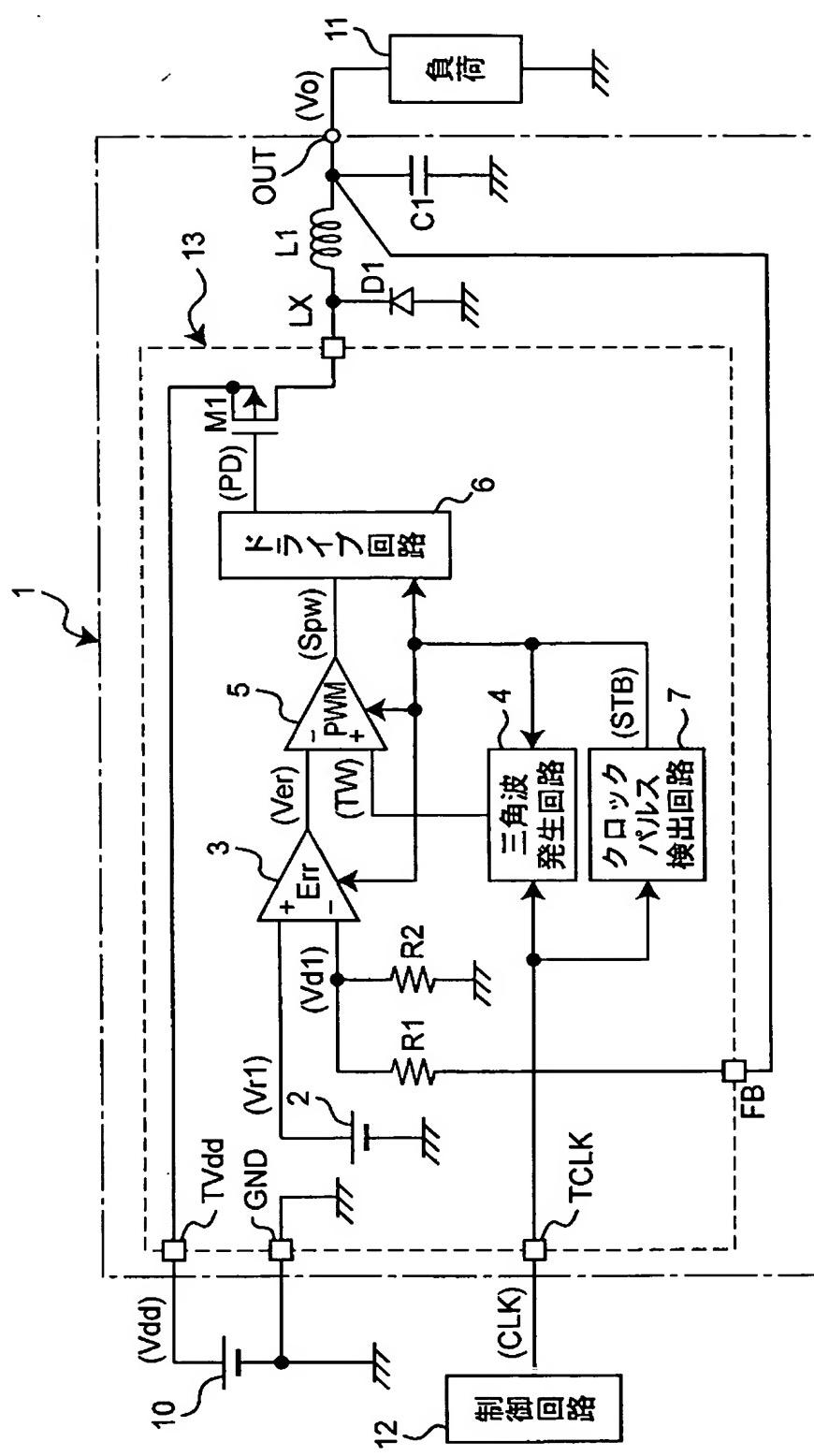
【図 5】



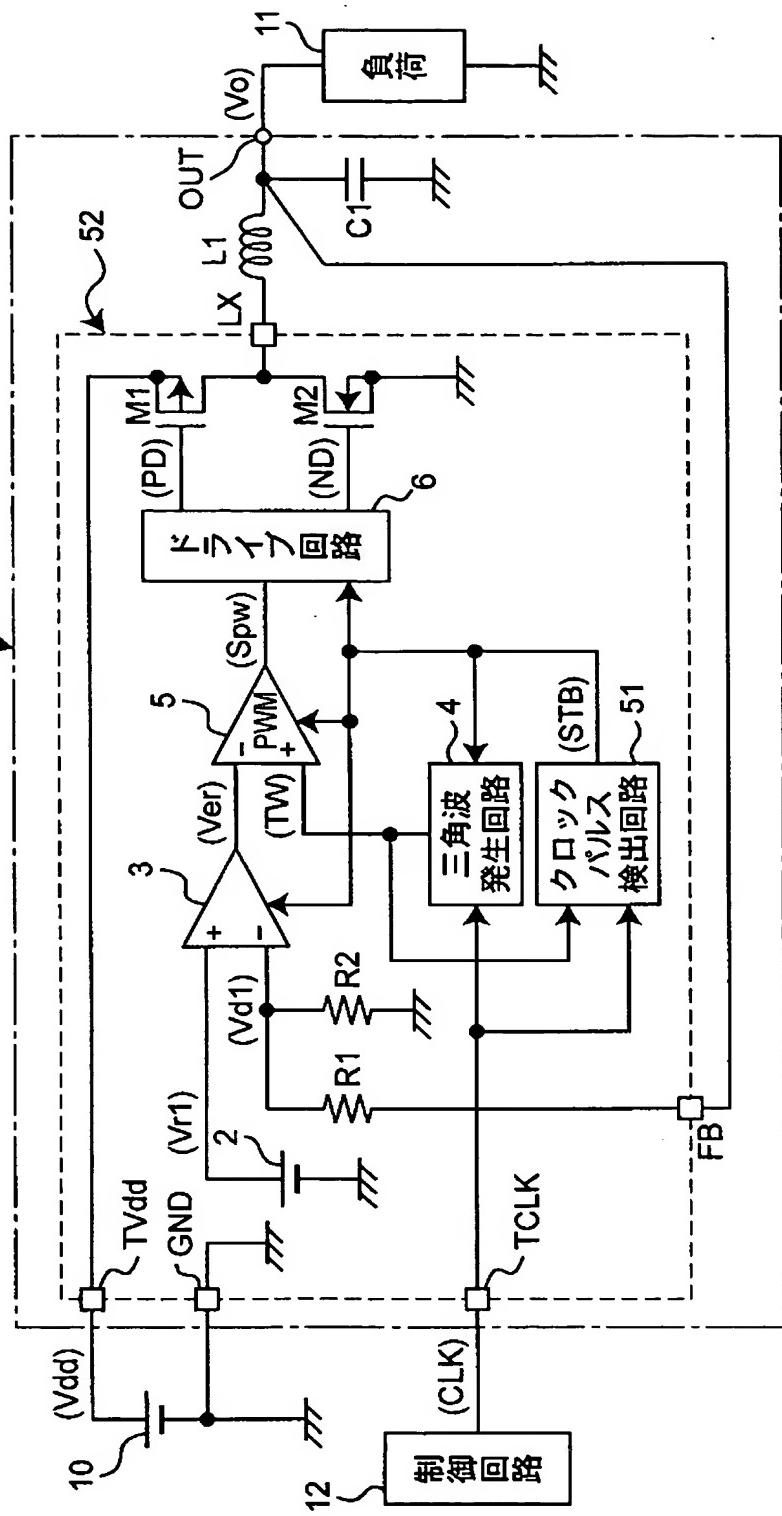


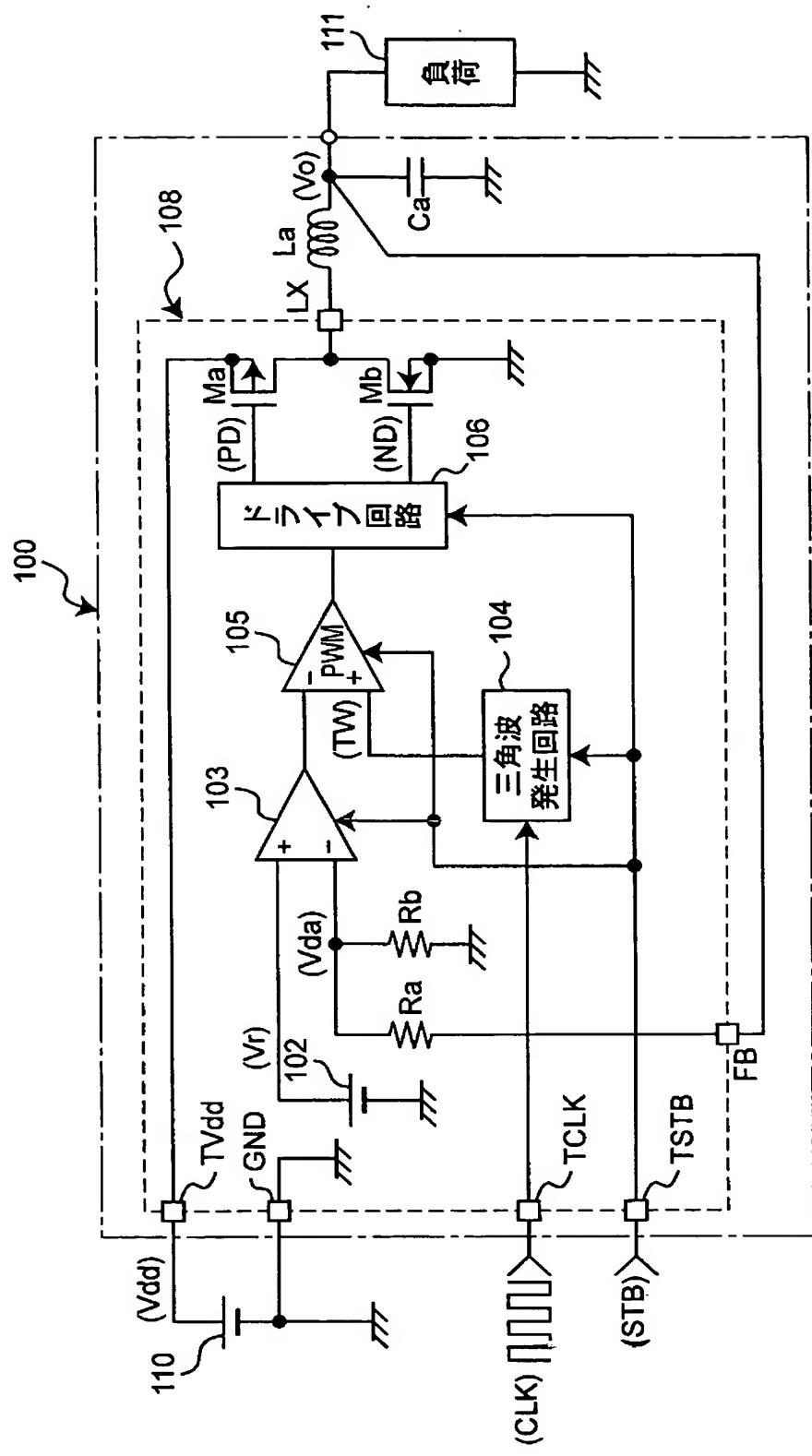
【図 7】

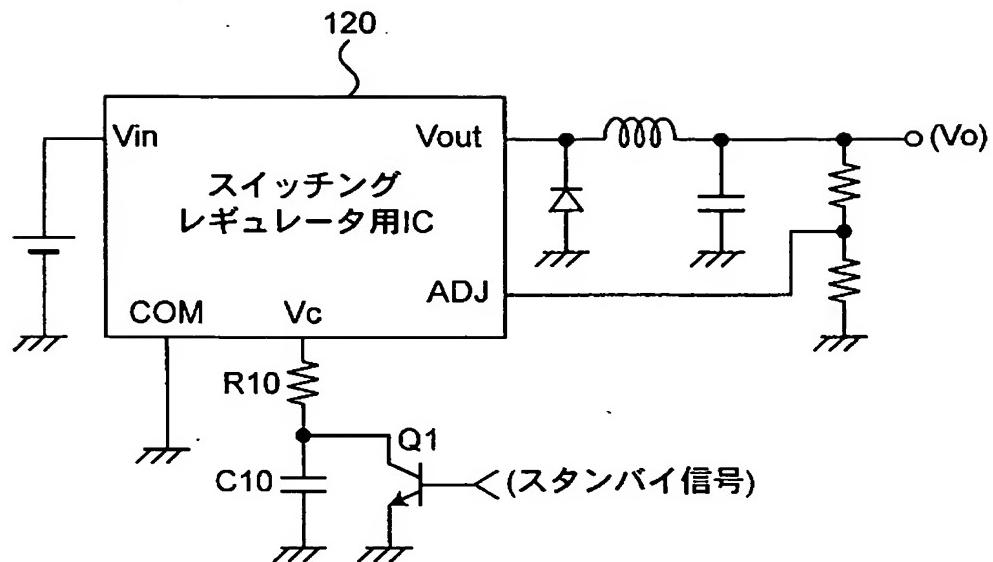




1 50 52  
10 (Vdd) 12 (CLK)







【課題】 スイッチングレギュレータをスタンバイモードに移行させるため信号が入力される端子をなくすことができるスイッチングレギュレータを得る。

【解決手段】 クロックパルス検出回路7によって、TCLK端子にクロック信号CLKが入力されているか否かを検出し、クロック信号CLKが入力されていない場合、スタンバイ信号STBをアサートして低消費電力動作を行うスタンバイ動作を行い、クロック信号CLKが入力されると、スタンバイ信号STBをネゲートして通常動作を行うようにし、外部からのクロック信号CLKの有無に応じてスイッチングレギュレータ内部でスタンバイ信号STBを生成するようにした。

【選択図】 図1

000006747

20020517

住所変更

東京都大田区中馬込1丁目3番6号

株式会社リコー

# **Document made available under the Patent Cooperation Treaty (PCT)**

International application number: PCT/JP2005/018397

International filing date: 28 September 2005 (28.09.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-287092  
Filing date: 30 September 2004 (30.09.2004)

Date of receipt at the International Bureau: 03 November 2005 (03.11.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

**BLACK BORDERS**

**IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

**FADED TEXT OR DRAWING**

**BLURRED OR ILLEGIBLE TEXT OR DRAWING**

**SKEWED/SLANTED IMAGES**

**COLOR OR BLACK AND WHITE PHOTOGRAPHS**

**GRAY SCALE DOCUMENTS**

**LINES OR MARKS ON ORIGINAL DOCUMENT**

**REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

**OTHER:** \_\_\_\_\_

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**